

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

FUJIOKA, et al.

Group Art Unit: Unknown

Application No.: New

Examiner: Unknown

Filed: Concurrently Herewith

Attorney Dkt. No.: 107337-00051

For: SEMICONDUCTOR MEMORY AND METHOD FOR CONTROLLING THE  
SAME

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: September 5, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:


Japanese Patent Application No. 2002-268975 filed on September 13, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

  
Charles M. Marmelstein  
Registration No. 25,895  
27931

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/jch

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月13日

出 願 番 号

Application Number:

特願2002-268975

[ ST.10/C ]:

[ JP 2002-268975 ]

出 願 人

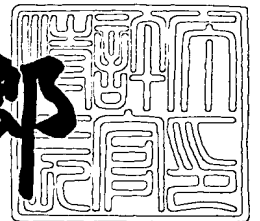
Applicant(s):

富士通株式会社

2003年 3月 4日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3013493

【書類名】 特許願

【整理番号】 0241256

【提出日】 平成14年 9月13日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/407

【発明の名称】 半導体記憶装置の制御方法及び半導体記憶装置

【請求項の数】 6

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 藤岡 伸也

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山田 伸一

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 佐藤 光徳

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 大野 潤

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092152

    【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の制御方法及び半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体記憶装置の制御方法において、

バーストモード時に、動作モードを設定するモードレジスタを設定する場合、  
パワーダウンモードを介して非バーストモードのスタンバイモードに遷移させ、  
前記非バーストモードの前記スタンバイモード時に、所定のシーケンスでコマンドが入力された場合に、モードレジスタセットモードに遷移させ、  
前記モードレジスタを外部入力に応じてセットすることを特徴とする半導体記憶装置の制御方法。

【請求項 2】 前記モードレジスタは、リセット禁止用のビットを有し、前記ビットがセットされている場合は、前記パワーダウンモードにおいて、前記モードレジスタの内容をリセットしないことを特徴とする請求項 1 記載の半導体記憶装置の制御方法。

【請求項 3】 前記所定のシーケンスは、アドレスの最上位ビットと組み合わせられた読み出し命令 1 回、書き込み命令 4 回の後、前記動作モードを表現した前記アドレスと組み合わせられた前記読み出し命令 1 回の、6 回の命令セットからなることを特徴とする請求項 1 記載の半導体記憶装置の制御方法。

【請求項 4】 半導体記憶装置において、  
動作モードをセットするモードレジスタを有し、非バーストモードのスタンバイモード時に、所定のシーケンスでコマンドが入力された場合に、前記モードレジスタをセットするモード設定制御回路と、  
バーストモード時のスタンバイモードから、パワーダウンモードを介して前記非バーストモードのスタンバイモードに遷移させるパワーダウン制御回路と、  
を有することを特徴とする半導体記憶装置。

【請求項 5】 前記モードレジスタは、リセット禁止用のビットを有し、前記ビットがセットされている場合は、前記パワーダウンモードにおいて、前記モードレジスタの内容をリセットしないことを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 前記所定のシーケンスは、アドレスの最上位ビットと組み合わせられた読み出し命令 1 回、書き込み命令 4 回の後、前記動作モードを表現した前記アドレスと組み合わせられた前記読み出し命令 1 回の、6 回の命令セットからなることを特徴とする請求項 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置の制御方法及び半導体記憶装置に関し、特に、SRAM (Static Random Access Memory) インターフェースを有したDRAM (Dynamic Random Access Memory) 型の半導体記憶装置の制御方法及び半導体記憶装置に関する。

【0002】

【従来の技術】

近年、DRAMのセルアレイを用い、SRAMインターフェースを有したDRAM (以下疑似SRAMと呼ぶ) が、低消費電力、大記憶容量化が実現可能、安価なことなどから携帯電話などに、最適なメモリとして注目されている。

【0003】

一方で、メモリのバスが一定周期のクロック周波数に同期して動作するシンクロナスDRAM (以下SDRAMと呼ぶ) が、PC (パーソナルコンピュータ) などのメモリに使用されている。

【0004】

疑似SRAMや、SDRAMの動作モードの設定は、後述するモードレジスタを有するモード設定制御回路で行う。動作モードの設定とは、リフレッシュの際全体のメモリチップのうち何メガバイトをリフレッシュするかの設定 (パーシャルモードの設定) や、コマンドが入力されて、何クロック目からデータの読み出し、または書き込みを開始するかの設定 (レイテンシの設定) などがある。

【0005】

また、SDRAMの動作モードに、バーストモードがある。バーストモードは、クロック信号に同期して連続してデータを書き込みまたは読み出すモードであ

る。バーストモードの設定では、1つのアクセスコマンドに対応するデータの出力回数またはデータの入力回数であるバースト長BLなどを、外部信号をもとにセットする。

【0006】

従来のモードレジスタの制御方法は、SDRAMの場合、モードレジスタセットコマンドと呼ばれる専用のコマンドを用いて行うが（例えば、特許文献1）、疑似SRAMの場合、専用ピンを使用した専用コマンドを用意する方法、読み出しや、書き込み命令などのリーガルコマンドと特定アドレス及び特定データパターンの組み合わせにより行う方法が用いられる。この他にも、コマンドとして認識されないイリーガルコマンドの組み合わせ、リーガルコマンドと特定アドレスの組み合わせにより行う方法などが考えられる。

【0007】

【特許文献1】

特開2000-011652号公報（段落番号【0013】，第1図）

【0008】

【発明が解決しようとする課題】

しかし、疑似SRAMにおいて、イリーガルコマンドの組み合わせによってモードレジスタをセットしようとする場合、コントローラ側に変更が必要になり、非バーストモード専用品との互換性に問題が生じるという問題がある。

【0009】

また、専用ピンを用いた専用コマンドを用意する場合も、コントローラ側の変更が必要であり、さらにチップサイズの増大が懸念される。

リーガルコマンドの組み合わせを用いる場合も、バーストモードの際、次のような問題が生じる。バーストモードの書き込みまたは読み出し動作時には、1回のコマンド入力に対し、モードレジスタにセットしたバースト長BLのデータ入力/出力がクロック信号に同期して行われる。このため、連続してコマンドを入力するには、毎回インタラプト動作が必要になる。これを実現するには回路規模が大きくなり、チップ面積の増大につながるという問題があった。

## 【0010】

以上の問題より、従来の疑似SRAMでは、バーストモードでの使用が困難であった。

本発明はこのような点に鑑みてなされたものであり、非バーストモード、バーストモードいずれの場合でも共通のシーケンスでモードレジスタのセットが可能な半導体記憶装置の制御方法を提供することを目的とする。

## 【0011】

また、本発明の他の目的は、非バーストモード、バーストモードいずれの場合でも共通のシーケンスでモードレジスタのセットが可能な半導体記憶装置を提供することを目的とする。

## 【0012】

## 【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すような状態遷移図で示される半導体記憶装置の制御方法において、バーストモード時に、動作モードを設定するモードレジスタを設定する場合、パワーダウンモード(M8)を介して非バーストモードのスタンバイモード(M3)に遷移させ、スタンバイモード(M3)時に、所定のシーケンスでコマンドが入力された場合に、モードレジスタセットモード(M7)に遷移させ、モードレジスタを外部入力に応じてセットすることを特徴とする半導体記憶装置の制御方法が提供される。

## 【0013】

上記方法によれば、バーストモード時に動作モードを設定したい場合、パワーダウンモード(M8)を介して、一旦非バーストモードのスタンバイモード(M3)に遷移し、その後、非バーストモードと同様の所定のシーケンスでコマンドが入力されるとモードレジスタセットモード(M7)に遷移してモードレジスタのセットを行う。

## 【0014】

## 【発明の実施の形態】

以下本発明の実施の形態を図面を参照して説明する。

図1は、本発明の実施の形態の半導体記憶装置の制御方法を示す状態遷移図で

ある。

【0015】

図中で、符号“M”は、モードを表している。

また、図2は、本発明の実施の形態の半導体記憶装置の構成図である。

図中、太線で示した信号線は、複数ビットで構成されている。図の左側の2重丸は、外部入力端子を示している。また、信号名の先頭に“/”の付いている信号は、負論理を示しており、信号名の末尾に“Z”の付いている信号は、正論理を示している。

【0016】

以下、図2で示す本発明の実施の形態の半導体記憶装置1について、各部の機能を説明し、その後、図1を用いて動作及び制御方法について説明する。

半導体記憶装置1は、DRAMのメモリセルMCを有し、SRAMのインターフェースを有する疑似SRAMとして構成されており、リフレッシュ制御回路10、調停回路11、コマンドデコーダ12、バースト制御回路13、モード設定制御回路14、バーストアドレスカウンタ15、タイミング制御回路16、パワーダウン制御回路17、アドレスラッチ18、アドレスデコーダ19、メモリセルアレイ20、リード/ライトアンプ21、バースト転送レジスタ22、データ出力制御回路23及びデータ入力制御回路24から構成される。

【0017】

リフレッシュ制御回路10は、図示しないタイマを内蔵しており、メモリセルアレイ20のメモリセルMCをリフレッシュするためのリフレッシュ要求信号REFZを所定の周期で出力する。また、チップイネーブル信号CE2を入力し、これがロウレベルの場合は、パワーダウンモードに移行し、図3(a)、(b)の設定に準じた動作を行う。

【0018】

調停回路11は、リフレッシュ要求信号REFZとアクセスコマンドとの入力された順番を比較し、先に入力された信号に応じた制御信号を出力する。ここで、リフレッシュ動作を行う場合は、リフレッシュ起動信号REFS1及びアクティブ信号ACTZを出力し、アクセスコマンドに応じた処理を行う場合は、アク

ティブ信号ACTZを出力する。また、リフレッシュ動作が完了した場合にタイミング制御回路16より出力される、リフレッシュストップ信号RSTPZが入力された場合、リフレッシュ起動信号REFS1の出力を停止する。アクセスコマンドは、読み出しまたは書き込み動作や、メモリセルアレイ20を連続してアクセスして、読み出し動作または書き込み動作を連続して実行するバーストモード時に、外部入力端子から供給される。また、アクセスコマンドは、チップイネーブル信号/CE1及びアドレスステータス信号/ADSがともに低レベルのときに認識される。バーストモード時のバーストアクセスでは、1回のアクセスコマンドで、複数のデータが出力または入力される。

#### 【0019】

なお、半導体記憶装置1において、アドレスステータス信号/ADSが、低レベルのときに供給されたアドレス信号ADDを有効とし、高レベルのときに、供給されたアドレス信号ADDを無効とする。また、半導体記憶装置1は、SRAMインターフェースを有しているため、アドレス信号ADDは、ロウアドレス及びコラムアドレスが同時に供給される。

#### 【0020】

コマンドデコーダ12は、アドレスステータス信号/ADSの低レベル時に、チップイネーブル信号/CE1、出力イネーブル信号/OE、ライトイネーブル信号/WEをデコードし、デコード結果に応じた制御信号をタイミング制御回路16、データ出力制御回路23及びデータ入力制御回路24、バースト転送レジスタ22に出力する。

#### 【0021】

バースト制御回路13は、外部クロック信号CLK、チップイネーブル信号/CE1、バーストアドレスアドバンス信号/ADV及びモード設定制御回路14からのレイテンシ信号LTCを受信し、バースト信号BSTZ、バーストクロック信号BCLK（ストロブ信号）、タイミング制御回路16へのタイミング信号及びウェイト信号WAITを出力する。なお、ウェイト信号WAITは、半導体記憶装置1の外部に出力される。

#### 【0022】

なお、バースト信号 B S T Z は、バーストモード中に出力される信号である。

モード設定制御回路 1 4 は、チップイネーブル信号 / C E 1、出力イネーブル信号 / O E、ライトイネーブル信号 / W E、アッパーバイト信号 / U B、ロウアーバイト信号 / L B 及びアドレス信号 A D D を受け、レイテンシ信号 L T C 及びバースト長信号 B L を出力する。アッパーバイト信号 / U B 及びロウアーバイト信号 / L B は読み出しデータ及び書き込みデータの一部をマスクするための信号である。

#### 【 0 0 2 3 】

また、モード設定制御回路 1 4 は、疑似 S R A M の動作モードを設定するための回路であり、外部から設定可能なモードレジスタを有している。

図 3 は、モードレジスタにセットされる動作モードの設定を説明する図であり、( a ) は機能の割り当て、( b ) は各機能を説明する図である。

#### 【 0 0 2 4 】

図 3 ( a ) のように、モードレジスタには、例えば、アドレス A d d 1 2 ~ 2 0 まだが、動作モードの設定コードとして割り当てられる。ここでは、アドレス A d d 1 2 はリセット機能 ( R S ) の設定であり、“ 0 ” の場合はリセット可能状態を示し、“ 1 ” の場合はリセット不可能な状態であることを示す。起動シーケンス後は“ 0 ”となっている。詳しくは後述する。アドレス A d d 1 3 ~ 1 5 は読み出しレイテンシカウンタ ( R L C ) であり、読み出しコマンドが入力されてから、外部クロック信号 C L K が何クロック経過した後、データを読み出すかなどの設定である。ここで、アドレス A d d 1 3 ~ 1 5 が“ 0 0 0 ”の場合レイテンシカウンタ = 2、“ 0 0 1 ”の場合レイテンシカウンタ = 3、“ 0 1 0 ”の場合レイテンシカウンタ = 4、“ 0 1 1 ”の場合レイテンシカウンタ = 5であることを示す。例えば、レイテンシカウンタ = 4 の場合、読み出しコマンドが入力されてから、外部クロック信号 C L K の 4 クロックめの立ち上がり同期してデータを読み出す。

#### 【 0 0 2 5 】

アドレス A d d 1 6 はモード ( M D ) の設定であり、“ 0 ” の場合は、バーストモード可能状態、“ 1 ” の場合は非バーストモード可能状態を示す。起動シー

ケンス後は、“1”がセットされる。アドレスAdd17、18はデータ長(DL)の設定であり、バースト長BLを決定する。ここで、“00”は8ワード、“01”は16ワード、“10”は32ワードのバースト長BLを示し、“11”は継続的なバーストを示す。アドレスAdd19、20は、パーシャルモード(PM)の設定であり、全体のメモリのうち何メガバイトの容量のデータを保持するかを決定する。“00”の場合は16Mバイトのデータを保持し、“01”は8Mバイトのデータを保持し、“10”は全てのデータ保持し、“11”はデータを保持しない状態を示す。起動シーケンス後は、“11”が設定される。

#### 【0026】

なお、アドレスAdd00～11と、アドレスAdd21以上は、全てハイレベルとなる。

モードレジスタのセットについては後述する。

#### 【0027】

モード設定制御回路14は、上記のようなモードレジスタの設定により、レイテンシ信号LTC及びバースト長信号BLを出力する。

また、後述するパワーダウン制御回路17の制御信号が入力され、パワーダウンする場合、リセット機能(RS)の設定を示すアドレスAdd12の値が“0”の場合は、モードレジスタをリセットし、“1”の場合はリセットしない。

#### 【0028】

バーストアドレスカウンタ15は、タイミング制御回路16からのタイミング信号に同期して、アドレス信号ADDに連続する内部アドレス信号IADDを生成する。また、バースト長信号BLが示すバースト長より1つ少ない回数だけ内部アドレス信号IADDを生成する。また、バーストアドレスアドバンス信号/ADVの高レベルを受けている間、カウントアップ動作を停止する。

#### 【0029】

タイミング制御回路16は、調停回路11、コマンドデコーダ12及びバースト制御回路13からの制御信号を受け、バーストアドレスカウンタ15、アドレスラッチ18、アドレスデコーダ19及びリード/ライトアンプ21の動作を制御するタイミング信号を出力する。また、リフレッシュ動作が完了した場合、リ

フレッシュストップ信号RSTPZを出力する。

【0030】

パワーダウン制御回路17は、チップイネーブル信号CE2を受け、リフレッシュ制御回路10、調停回路11、コマンドデコーダ12、バースト制御回路13、モード設定制御回路14、バーストアドレスカウンタ15、タイミング制御回路16に制御信号を出力し、パワーオン、パワーダウンまたはスタンバイモードを制御する。

【0031】

アドレスラッチ18は、アドレス信号ADDをアドレスラッチ信号ELATに同期してラッチし、内部アドレス信号IADDをアドレスラッチ信号ILATに同期してラッチし、ラッチした信号をアドレスデコーダ19に出力する。

【0032】

アドレスデコーダ19は、アドレスラッチ18がラッチしたアドレス信号をデコードし、メモリセルアレイ20内のメモリセルMCを選択するための信号を出力する。具体的には、アドレス信号ADDに応じて後述するワード線WLを選択するためのワード線信号及び後述するコラムスイッチSWをオンするためのコラム線信号を出力する。

【0033】

メモリセルアレイ20は、マトリックス状に配置された複数の揮発性のメモリセルMCと、メモリセルMCに接続された複数のワード線WL及び複数のビット線BLと、ビット線BLに接続された複数のセンスアンプSAと、ビット線BLをそれぞれリード／ライトアンプ21に接続する複数のコラムスイッチSWとを有している。メモリセルMCは、一般のDRAMのメモリセルと同じであり、データを電荷として保持するためのキャパシタと、このキャパシタとビット線BLとの間に配置されたセルトランジスタとを有している。セルトランジスタのゲートは、ワード線WLに接続されている。

【0034】

コラムスイッチSWは、アッパーバイト信号／UBに対応する第1コラムスイッチ群と、ロウアーバイト信号／LBに対応する第2コラムスイッチ群とに分類

される。バースト書き込み動作時に、第1コラムスイッチ群は、アッパーバイト信号／UBが低レベルのときのみアドレス信号に応じてオンする。バースト書き込み動作時に、第2コラムスイッチ群は、ロウアーバイト信号／LBが低レベルのときのみアドレス信号に応じてオンする。すなわち、書き込みデータは、コラムスイッチSWを制御することでマスクされる。

## 【0035】

実際には、タイミング制御回路16がアッパーバイト信号／UBまたはロウアーバイト信号／LBに応じてアドレスデコーダ19を動作させ、コラム選択信号CLを出力することで、第1及び第2コラムスイッチ群の動作が制御される。書き込みデータのマスク制御は、データ入出力端子DQで受信した書き込みデータがコラムスイッチSWに伝達されるまで行う。

## 【0036】

リード／ライトアンプ21は、メモリセルアレイ20からの並列読み出しデータをリードアンプイネーブル信号RAENに同期してデータバスDBに出力する。また、バースト転送レジスタ22からの並列の書き込みデータをライトアンプイネーブル信号WAENに同期してメモリセルアレイ20に出力する。

## 【0037】

バースト転送レジスタ22は、データを保持する複数のデータレジスタ(DT0、DT1など)を有している。ここでは、非バーストモードの場合は、外部のアドレス信号ADDで指定されたメモリセルMCのデータをリード／ライトアンプ21を介して入力し、コモンデータバスCDBに出力する。また、コモンデータバスCDBからの書き込みデータを保持し、リード／ライトアンプ21に出力する。バーストモードの場合、リード／ライトアンプ21を介して入力されたデータをリード／ライトアンプ21からの並列読み出しデータを直列データに変換し、バーストクロック信号BCLKに同期してコモンデータバスCDBに出力する。また、コモンデータバスCDBからの直列の書き込みデータを並列データに変換し、バーストクロック信号BCLKに同期してリード／ライトアンプ21に出力する。

## 【0038】

データ出力制御回路 2 3 は、読み出し動作時に活性化され、データバス D B 上の読み出しデータをデータ入出力端子 D Q に出力する。データ入出力端子 D Q は、1 6 ビットで構成されている。さらに、アッパーバイト信号 / U B が低レベルの時、1 6 ビットの読み出しデータのうち上位の 8 ビットを出力し、ロウアーバイト信号 / L B が低レベルのとき、1 6 ビットの読み出しデータのうち下位の 8 ビットを出力する。データ入出力端子 D Q は、アッパーバイト信号 / U B に対応する 8 ビットの第 1 データ端子群と、ロウアーバイト信号 / L B に対応する 8 ビットの第 2 データ端子群とで構成されている。

【 0 0 3 9 】

データ入力制御回路 2 4 は、書き込み動作時に活性化され、データ入出力端子 D Q を介して書き込みデータを受信し、受信したデータをコモンデータバス C D B に出力する。

【 0 0 4 0 】

バースト転送レジスタ 2 2、データ出力制御回路 2 3 及びデータ入力制御回路 2 4 は、複数のデータを連続して入力または出力可能な、データ入出力回路として動作する。

【 0 0 4 1 】

なお、アドレス信号 A D D、チップイネーブル信号 / C E 1、C E 2、アドレスステータス信号 / A D S、出力イネーブル信号 / O E、ライトイネーブル信号 / W E、外部クロック信号 C L K、バーストアドレスアドバンス信号 / A D V、アッパーバイト信号 / U B、ロウアーバイト信号 / L B は、外部の図示しないコントローラより外部端子を介して入力される。

【 0 0 4 2 】

次に、上記で説明した半導体記憶装置 1 の動作及び制御方法について図 1 の状態遷移図を用いて詳細に説明する。

パワーオンモード ( M 1 ) になると、次に、チップイネーブル信号 C E 2 がロウレベルとなり、パワーダウン制御回路 1 7 の制御のもと、調停回路 1 1、コマンドデコーダ 1 2、バースト制御回路 1 3、モード設定制御回路 1 4、バーストアドレスカウンタ 1 5、タイミング制御回路 1 6 をリセットする ( M 2 ) 。

## 【0043】

次に、チップイネーブル信号CE2をハイレベルとし、パワーダウン制御回路17の制御のもと、非バーストモードのスタンバイモード(M3)となる。ここで、コマンドデコーダ12は、外部より入力される信号をデコードし、デコード結果に応じたモード(リードやライト)に遷移させるための制御信号を生成する。

## 【0044】

図4は、コマンドテーブルの例である。

図中で“L”はロウレベル、“H”はハイレベルの信号であり、“X”はどちらでもよいことを示す。なお、“DQ<sub>0-7</sub>”はデータ入出力端子DQのうち上位の8ビット、“DQ<sub>8-15</sub>”は下位の8ビットであり、データ入出力端子DQの状態で“HiZ”は1で固定、“Dout”はデータ出力、“Din”はデータ入力、“Invalid”は書き込み禁止や、書き込みデータにマスクをかけたときの無効状態を示す。また、“Retention”はデータの保持、つまりリフレッシュ動作を行うか否かを示し、“Yes”でリフレッシュを行う。“No”でリフレッシュを行わない。“Partial”は、一部のみ行うことを示す。

## 【0045】

コマンドデコーダ12は、図4のようなコマンドテーブルに従い、モードを選択する。

スタンバイモード(M3)において、チップイネーブル信号/CE1がロウレベルライトイネーブル信号/WEがロウレベルのとき、書き込み(ライト)モード(M4)に遷移する。また、チップイネーブル信号/CE1がロウレベル、出力イネーブル信号/OEがロウレベル、ライトイネーブル信号/WEがハイレベルのとき、読み出し(リード)モード(M5)に遷移する。また、チップイネーブル信号/CE1がロウレベル、出力イネーブル信号/OEと、ライトイネーブル信号/WEがともにハイレベルのとき、出力非活性(OD)モード(M6)に遷移する。書き込みモード(M4)のとき、アッパーバイト信号/UBまたはロウアーバイト信号/LBがハイレベルとなると、書き込みデータのうち、上位ビ

ットまたは下位ビットがマスクされ無効 (Invalid) となる。以下、このような処理をByte制御と呼ぶ。読み出しモード (M5) のときも、このようなByte制御があり、さらに、アドレス信号ADDの制御なども行われる。

#### 【0046】

上記では、スタンバイモード (M3) から、モードM4、M5、M6への遷移を説明したが、モードM4、M5、M6からもコマンドデコーダ12で、デコードされたコマンドに応じて、非バーストモードのそれぞれのモードに遷移することができる。

#### 【0047】

非バーストモードのスタンバイモード (M3) のとき、以下のようなシーケンスでコマンドが入力された場合、モード設定制御回路14のモードレジスタがセットされるモードレジスタセットモード (M7) に遷移する。

#### 【0048】

図5は、モードレジスタのセットの際のシーケンスの例であり、(a) がリーガルコマンド (CMD) とアドレス (Add) の組み合わせであり、(b) がタイミングチャートである。

#### 【0049】

図5 (b) のように、モードレジスタセットのためのシーケンスとして、6つのリーガルコマンドとアドレスの組み合わせからモードレジスタをセットすることができる。すなわち、リード1回、ライト4回、リード1回の順番であり、アドレスは、最上位ビット (MSB) を5回と、最後に図3で示した、モードレジスタセット用のコード (CODE) である。

#### 【0050】

モード設定制御回路14に、図5 (a) と対応した図5 (b) のようなタイミングで、アドレス信号ADD、チップイネーブル信号/CE1、アドレスステータス信号/ADS、ライトイネーブル信号/WE、出力イネーブル信号/OEが入力された場合に、モードレジスタセットモード (M7) に遷移し、モードレジスタを6番目に入力される図3で示したようなコードの内容にセットする。

#### 【0051】

ここで、前述の図3（a）で示したようなコードが入力された場合、モードを示すアドレスAdd16の値が“0”の場合は、バーストモードのスタンバイモード（M9）に遷移し、“1”の場合は、非バーストモードのスタンバイモード（M3）に復帰する。

#### 【0052】

非バーストモードのスタンバイモード（M3）のとき、チップイネーブル信号CE2がロウレベルになると、非バーストモードを抜けて、パワーダウンモード（M8）になる。パワーダウンモード（M8）で、チップイネーブル信号CE2がハイレベルとなると、再び非バーストモードのスタンバイモード（M3）に復帰する。

#### 【0053】

バーストモードのスタンバイモード（M9）の場合、非バーストモードのスタンバイモード（M3）のときと同様に、コマンドデコーダ12は、外部より入力される信号をデコードし、デコード結果に応じて、書き込みモード（M10）、読み出しモード（M11）、サスペンドモード（M12）に遷移する。ただし、バーストモードの場合、モードレジスタにセットされている読み出しレイテンシカウント（RLC）の値と、データ長（DL）の値にしたがって、モード設定制御回路14により出力されるレイテンシ信号LTC、バースト長信号BLによって、指定されたクロックから、指定されたバースト長分の読み出しまたは書き込みが行われる。また、書き込みモード（M10）、読み出しモード（M11）のとき、アドレスステータス信号／ADSがハイレベルになるとバーストアドレスカウンタ15は、カウントアップを停止するが、それぞれのモード（M10、M11）にとどまる。

#### 【0054】

また、サスペンドモード（M12）は、非バーストモードの出力禁止（OD）モード（M6）と同じ組み合わせの外部信号が入力された場合のモードであり、バースト読み出しが中断する。ここで、出力イネーブル信号／OEをロウレベルにするか、ハイレベルにするかにより、読み出しモード（M11）と切り替わる。

## 【0055】

上記では、バーストモードのスタンバイモード（M9）から、モードM10、M11、M12への遷移を説明したが、モードM10から、モードM9、M11への遷移、モードM11から、モードM9、M10、M12への遷移、モードM12から、モードM9、M11の遷移も、コマンドデコーダ12でデコードされたコマンドに対応して、遷移させることができる。なお、書き込みモードM10と、読み出しモードM11間の遷移は、アドレスステータス信号／ADSをハイレベルにしてバーストアドレスカウンタ15でのカウントアップ動作を停止して行う。

## 【0056】

バーストモードのスタンバイモード（M9）の場合で、チップイネーブル信号CE2がロウレベルになると、パワーダウン制御回路17の制御のもと、バーストモードを抜けてパワーダウンモード（M8）に遷移する。パワーダウンモード（M8）になると、モード設定制御回路14は、モードレジスタをリセットする。ただし、モードレジスタにセットされている図3で示したコードのリセット（RS）設定を示すアドレスAdd12の値が、“1”にセットされている場合は、モードレジスタのリセットを禁止するので、再びバーストモードのスタンバイモード（M9）に戻る。

## 【0057】

バーストモード時に、モードレジスタをセットしたい場合は、上記のようにして、一旦パワーダウンモード（M8）に遷移させ、次にチップイネーブル信号CE2をハイレベルにして、パワーダウン制御回路17の制御のもと、非バーストモードのスタンバイモード（M3）に遷移させる。ここで、前述したシーケンスでコマンドを入力し、モード設定制御回路14の制御のもと、モードレジスタセットモード（M7）に遷移させ、モードレジスタをセットする。その後、バーストモードのスタンバイモード（M9）に遷移させる。

## 【0058】

このように、バーストモードの場合、パワーダウンモード（M8）を介して、非バーストモードのスタンバイモード（M3）に遷移させることにより、非バー

ストモード、バーストモード、両方の場合について、同一のシーケンスによって、モードレジスタをセットすることができる。

【0059】

なお、上記では、バーストモードと、非バーストモードが切り替え可能な半導体記憶装置について説明したが、バースト専用の半導体記憶装置の場合においても、同様に、バーストモードのスタンバイ状態から、パワーダウンモードを介した後に、モードレジスタをセットするように制御することが可能である。

【0060】

【発明の効果】

以上説明したように本発明では、バーストモード使用時にモードレジスタのセットを行う場合、一旦パワーダウンモードに遷移させ、モードレジスタの内容をリセットした後、非バーストモードのスタンバイモードに遷移するようにして、非バーストモードのスタンバイモードにおいて、所定のシーケンスでコマンドが入力された場合に、モードレジスタをセットするようにしたので、非バーストモード、バーストモード、両方の場合について、同一のシーケンスによってモードレジスタをセットすることができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態の半導体記憶装置の制御方法を示す状態遷移図である。

【図2】

本発明の実施の形態の半導体記憶装置の構成図である。

【図3】

モードレジスタにセットされる動作モードの設定を説明する図であり、(a)は機能の割り当て、(b)は各機能を説明する図である。

【図4】

コマンドテーブルの例である。

【図5】

モードレジスタのセットの際のシーケンスの例であり、(a)がリーガルコマンド(CMD)とアドレス(Add)の組み合わせであり、(b)がタイミング

チャートである。

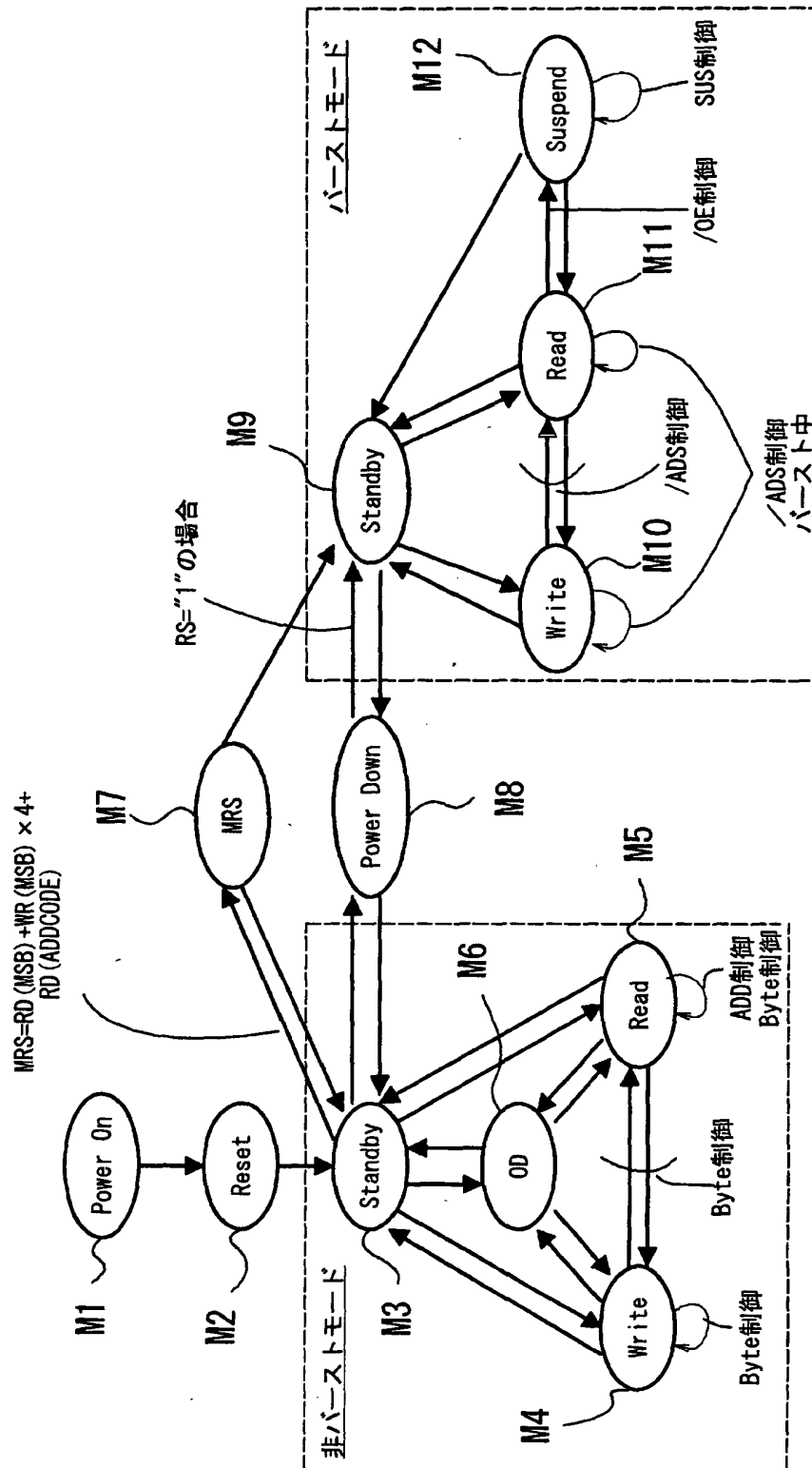
【符号の説明】

- 1 半導体記憶装置
- 1 0 リフレッシュ制御回路
- 1 1 調停回路
- 1 2 コマンドデコーダ
- 1 3 バースト制御回路
- 1 4 モード設定制御回路
- 1 5 バーストアドレスカウンタ
- 1 6 タイミング制御回路
- 1 7 パワーダウン制御回路
- 1 8 アドレスラッチ
- 1 9 アドレスデコーダ
- 2 0 メモリセルアレイ
- 2 1 リード／ライトアンプ
- 2 2 バースト転送レジスタ
- 2 3 データ出力制御回路
- 2 4 データ入力制御回路

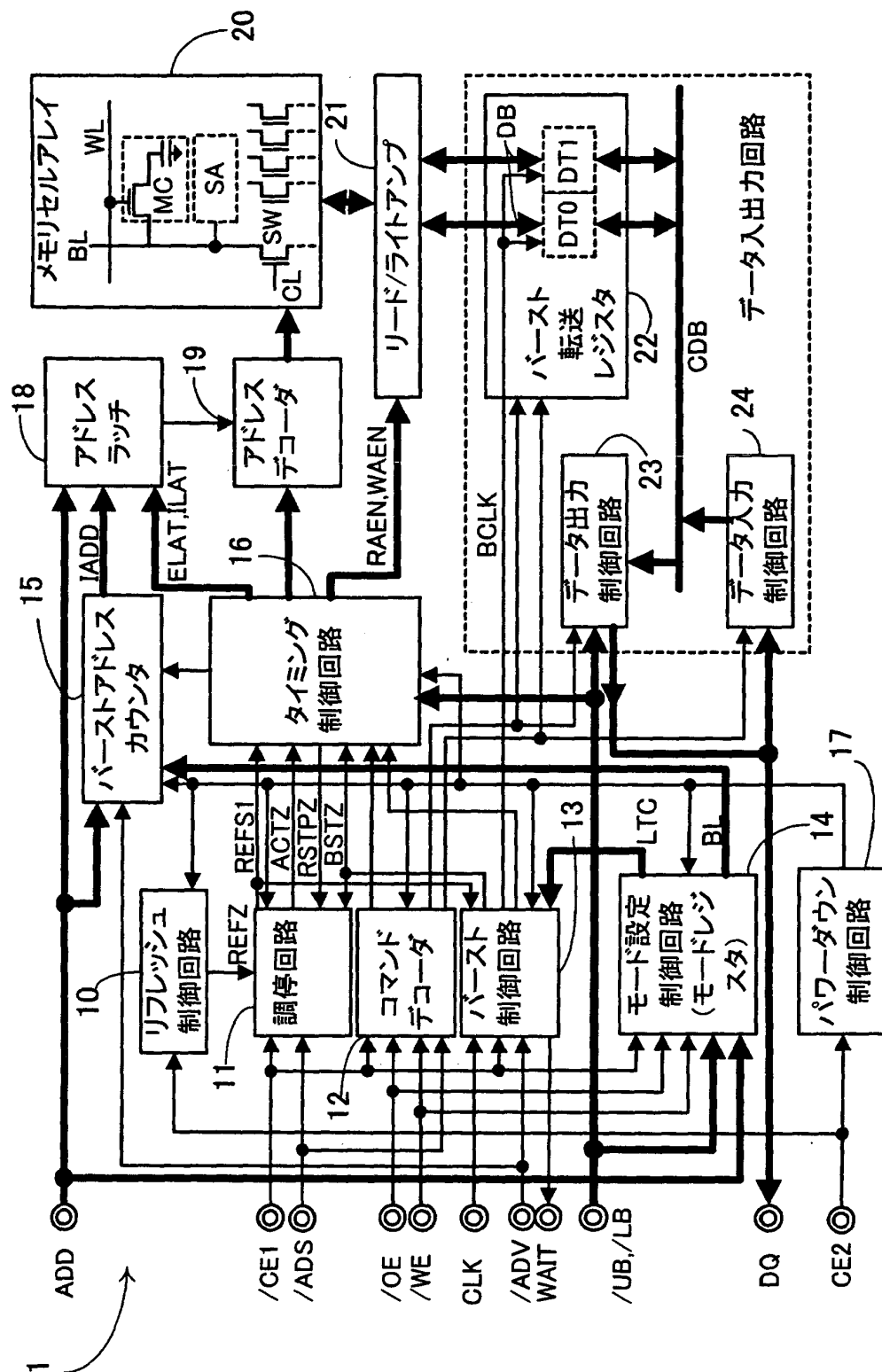
【書類名】

図面

【図 1】



【図2】



【図 3】

(a)

| Add.  | 20           | 19 | 18          | 17 | 16   | 15                 | 14 | 13 | 12 |
|-------|--------------|----|-------------|----|------|--------------------|----|----|----|
| Func. | Partial Mode |    | Data Length |    | Mode | Read Latency Count |    |    |    |
| Sym.  | PM           |    | DL          |    | MD   | RLC                |    |    |    |
|       |              |    |             |    |      | RS                 |    |    |    |

(b)

| Name | Description                                                                                |
|------|--------------------------------------------------------------------------------------------|
| PM   | 00 : 16M 01 : 8M 10 : Full Chip 11 : 0M(Def.)                                              |
| DL   | 00 : 8word burst 01 : 16word burst 10 : 32word burst<br>11 : Continuous burst              |
| MD   | 0 : Synchronous Burst Enabled<br>1 : Asynchronous Page Enabled(Def.)                       |
| RLC  | 000 : Latency Count=2 001 : Latency Count=3<br>010 : Latency Count=4 011 : Latency Count=5 |
| RS   | 0 : Reset Enabled(Def.)<br>1 : Reset Disabled                                              |

【図4】

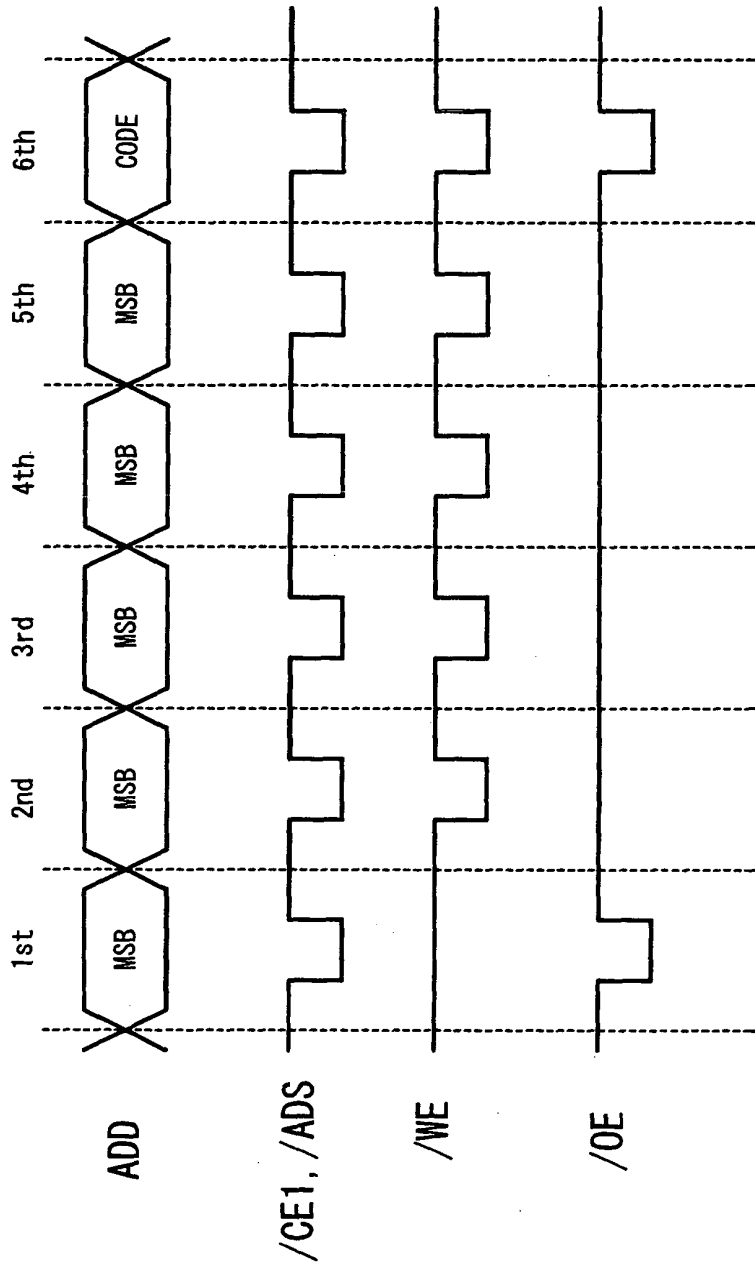
| MODE             | CE2 | /CE1 | /OE | /WE | /ADS | /LB | /UB | DQ <sub>0-7</sub> | DQ <sub>8-15</sub> | Retention  |
|------------------|-----|------|-----|-----|------|-----|-----|-------------------|--------------------|------------|
| Power Down/Reset | L   | H    | X   | X   | X    | X   | X   | HiZ               | HiZ                | No/Partial |
| Standby          | H   | H    | X   | X   | X    | X   | X   | HiZ               | HiZ                | Yes        |
| Output Disable   | H   | L    | H   | H   | X    | X   | X   | HiZ               | HiZ                | Yes        |
| Read             | H   | L    | L   | H   | X    | L   | L   | Dout              | Dout               | Yes        |
| No Read          | H   | L    | L   | H   | X    | H   | H   | HiZ               | HiZ                | Yes        |
| Lower Byte Read  | H   | L    | L   | H   | X    | L   | H   | Dout              | HiZ                | Yes        |
| Upper Byte Read  | H   | L    | L   | H   | X    | H   | L   | HiZ               | Dout               | Yes        |
| Write            | H   | L    | X   | L   | X    | L   | L   | Din               | Din                | Yes        |
| Abort Write      | H   | L    | X   | L   | X    | H   | H   | Invalid           | Invalid            | Yes        |
| Lower Byte Write | H   | L    | X   | L   | X    | L   | L   | Din               | Invalid            | Yes        |
| Upper Byte Write | H   | L    | X   | L   | X    | H   | L   | Invalid           | Din                | Yes        |
| Illegal          | H   | L    | L   | L   | X    | X   | X   | ---               | ---                | ---        |

【図 5】

(a)

| sequence | 1st | 2nd | 3rd | 4th | 5th | 6th  |
|----------|-----|-----|-----|-----|-----|------|
| CMD      | RD  | WR  | WR  | WR  | WR  | RD   |
| Add      | MSB | MSB | MSB | MSB | MSB | CODE |

(b)



【書類名】            要約書

【要約】

【課題】    バーストモード使用時からの、モードレジスタのセットを可能にする。

【解決手段】    バーストモード時に動作モードを設定したい場合、パワーダウンモード（M8）を介して、一旦非バーストモードのスタンバイモード（M3）に遷移させ、その後、非バーストモードと同様の所定のシーケンスでコマンドが入力されるとモードレジスタセットモード（M7）に遷移させてモードレジスタのセットを行う。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社